

시뮬레이션에 의한 금속게이트 FD-SOI 와 MuGFET의 불소 이온 주입효과

이치우, D. Lederer, A. Afzalian, Ran Yan , J.P. Colinge
아일랜드 틴달 국립연구소
e-mail : chi-woo.Lee@tyndall.ie

Simulation of Fluorine Implant effects in Metal Gate FD-SOI and MuGFETs

Chi-Woo Lee, D. Lederer, A. Afzalian, Ran Yan , J.P. Colinge
Tyndall National Institute, Cork, Ireland

Abstract

Fluorine (F) implantation creates negative charges at the Si/SiO₂ interface in FDSOI transistors[1]. This paper describes simulation of the influence of F Implant on Threshold Voltage(V_{th}) for Metal Gate FDSOI and MuGFETs using FEMLAB[®]. The origin of the large V_{th} shift observed in planar FDSOI due to is the creation of negative charge states in the BOX by the F implant. F implant is a suitable approach for planar FDSOI SoC integration with single work function (WF) metal gate, but NOT for MuGFETs.

수적인 것으로 최근 연구결과에서 발표되고 있다[2]. 또한 SoC를 위한 CMOS 실리콘 기술은 고성능 로직(HP), 저전력(LP), 아날로그, 등을 동시에 만족하여야 한다. 고성능 로직 소자의 문턱전압은 midgap에서 NMOS는 +0.2V, PMOS는 -0.2V가 되어야 하며 저전력 소자는 midgap 게이트가 필요하게 된다[3]. 때문에 CMOS SoC적용을 위해서는 동일한 칩에서 세 가지의 일함수를 가지는 게이트가 필요한 것이다. 불소(F)이온주입은 실리콘과 산화막 경계면에 음전하(Negative charge)를 형성하여 문턱전압을 변화시킨다[1]. 때문에 하나의 일함수를 가지는 금속게이트로도 문턱전압을 조절 할 수 있다. 본 논문에서는 시뮬레이션을 통하여 불소이온 주입으로 인한 FD(Fully depleted)SOI와 MuGFET(Multiple Gate FET)의 문턱전압의 변화를 알아보았다.

I. 서론

실리콘 공정기술의 발달로 CMOS의 물리적 소자 크기가 계속 축소되고 있다. 하지만 현재의 bulk CMOS는 한계를 가지기 때문에 SOI(Silicon-On-Insulator)기술 개발이 필

II. 소자 시뮬레이션

소자 시뮬레이션은 FEMLAB[®]을 이용하였다. 시뮬레이션에 사용된 소자의 매물 산화층 두께는 145nm 그리고 실리콘 두께(t_{si})는 60nm이다. 게이트 산화막의

두께는 2nm로 하였으며 채널의 불순물 농도는 P-type $1 \times 10^{15} \text{cm}^{-3}$ 로 하였다. PMOS는 Accumulation model[4]로 하였다. 실리콘의 폭(W)과 음전하의 크기를 변수로 하여 시뮬레이션을 하였으며 게이트 물질의 일함수는 4.4eV로 하였다. 그림1은 시뮬레이션에 사용된 소자의 단면도이다.

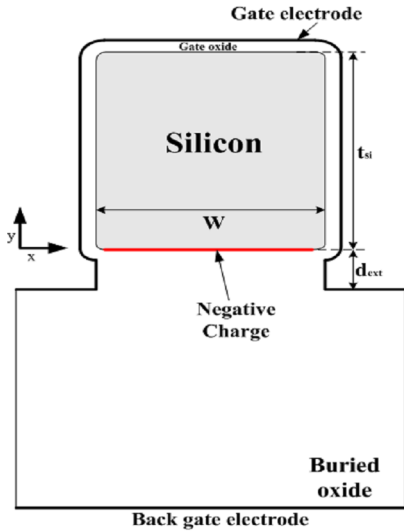


그림 1. 시뮬레이션에 사용된 소자 단면도

III. 결과

FDSOI는 실리콘의 폭을 10 μm 로 하였다. 그림 2는 FDSOI의 게이트 전압에 따른 드레인 전류를 나타내는 그림이다. 그림에서 보는 것과 같이 음전하량이 증가 되면 PMOS와 NMOS모두 문턱전압이 증가하는 것을 알 수 있다. 하지만 PMOS는 0.6V NMOS는 0.11V로 NMOS에 비하여 PMOS가 음전하의 영향을 많이 받는 것을 알 수 있다. 때문에 이러한 불소이온주입에 의한 음전하를 이용하면 하나의 일함수를 가진 금속게이트를 이용하여 문턱전압을 조절 할 수 있기 때문에 SoC 회로에 적용이 가능하다.

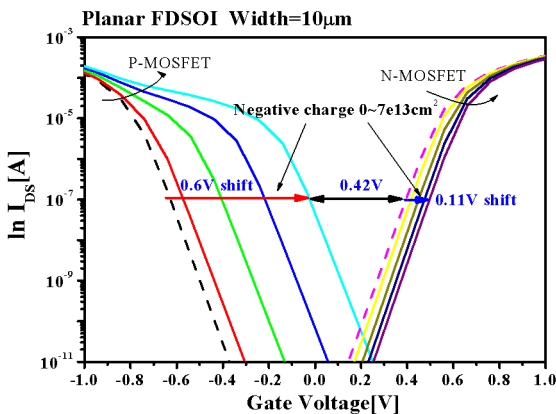


그림 2. FDSOI의 게이트 전압에 따른 드레인전류

소자의 크기가 축소되면서 기존의 평면 구조의 소자의 단점을 보완하고자 MuGFET가 제안되었다. 이러한 삼차원 구조에서는 실리콘의 폭이 소자의 성능에 중요한 역할을 한다[5]. 그림 3은 MuGFET PMOS의 실리콘 폭과 음전하량에 따른 문턱전압의 변화를 나타낸 그래프이다. 그림에서 보는 것과 같이 음전하량이 커짐에 따라 문턱전압이 변화하지만 그 크기가 작고 또한 실리콘의 폭이 작아지면 변화의 크기가 더욱 작아진다. 때문에 하나의 일함수를 가지는 금속 게이트를 이용한 SoC회로 적용에는 문제가 있다는 것을 알 수 있다.

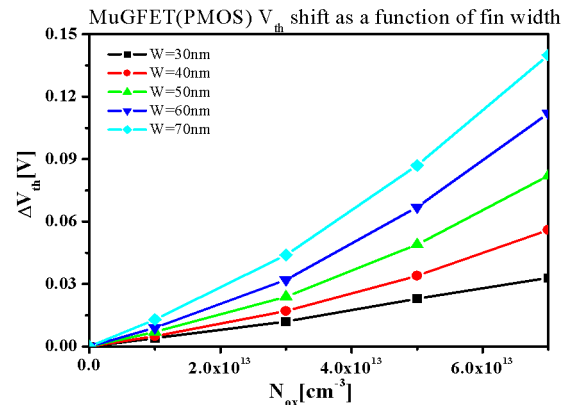


그림 3. MuGFET의 음전하량에 따른 ΔV_{th}

IV. 결론

불소이온 주입으로 실리콘과 매물산화층 사이에 음전하가 생성되므로 실리콘 폭이 넓은 P-type FDSOI는 문턱전압이 많은 변화가 있었다. 때문에 FDSOI는 하나의 일함수를 가진 금속 게이트로 SoC에 적용이 가능하다는 것을 알 수 있었다. 하지만 MuGFET는 좁은 실리콘 폭의 영향으로 문턱전압의 변화가 작기 때문에 하나의 금속게이트로는 SoC회로 공정에 적용이 어렵다는 것을 알 수 있었다.

참고문헌

- [1] M.Inoue, et al, IEDM, pp. 413-416, 2005.
- [2] J.P Colinge, et al, IEDM, pp. 817-820, 1989.
- [3] L.Chang, et al, IEDM, pp. 719-722, 2000.
- [4] J.W.Park, et al, IEEE SOI Conference, pp. 65-67, 2003.
- [5] C.W.Lee, et al, SSE 51-3, pp. 505-510, 2007.